

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **06-118392**
 (43)Date of publication of application : **28.04.1994**

(51)Int.CI.

G02F 1/1333

(21)Application number : **05-059666**
 (22)Date of filing : **24.02.1993**

(71)Applicant : **SONY CORP**
 (72)Inventor : **YANO TOMOYA**

(30)Priority

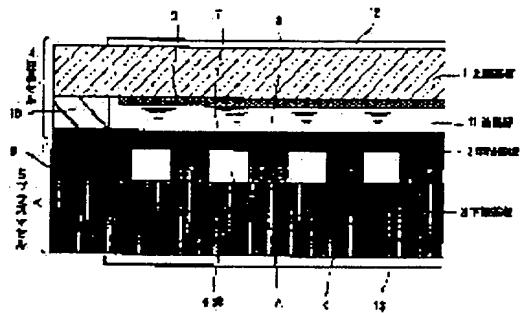
Priority number : **04245920** Priority date : **20.08.1992** Priority country : **JP**

(54) PLASMA ADDRESS DISPLAY DEVICE

(57)Abstract:

PURPOSE: To enhance the mechanical strength and to make the device large in size by improving a discharge space structure of the plasma address display device.

CONSTITUTION: The plasma address display device has a structure constituted by laminating in the order of the upper side substrate 1, a middle substrate 2 and the lower side substrate 3. Between the upper side substrate 1 and the middle substrate 2, a liquid crystal cell 4 is formed. Also, between the middle substrate 2 and the lower side substrate 3, a plasma cell 5 is formed. The plasma cell 5 activates line-sequentially a discharge area divided like a stripe and executes addressing of the liquid crystal cell 4. This discharge area consists of a stripe-like space provided by superposing mutually the principal surface of the middle substrate 2 on which a stripe-like groove 6 is formed and the principal surface to which the lower side substrate 3 is faced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平6-118392

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl.⁵
G 0 2 F 1/1333識別記号
G 0 2 F 1/1333府内整理番号
9225-2K

F 1

技術表示箇所

審査請求 未請求 請求項の数9(全11頁)

(21)出願番号 特願平5-59666
 (22)出願日 平成5年(1993)2月24日
 (31)優先権主張番号 特願平4-245920
 (32)優先日 平4(1992)8月20日
 (33)優先権主張国 日本(JP)

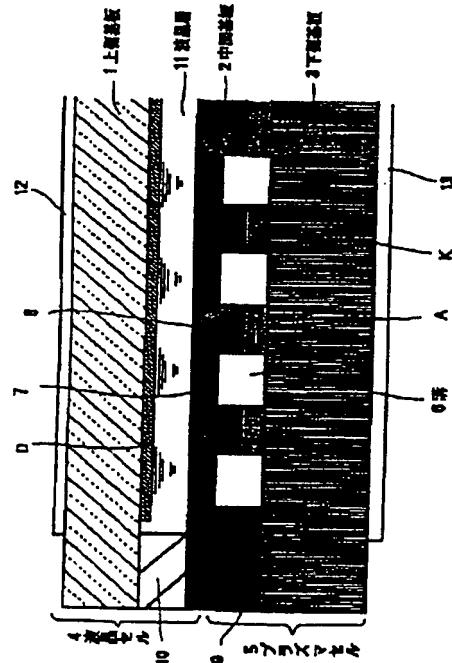
(71)出願人 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号
 (72)発明者 谷野 友哉
 東京都品川区北品川6丁目7番35号 ソニ
 一株式会社内
 (74)代理人 弁理士 鈴木 晴敏

(54)【発明の名称】 プラズマアドレス表示装置

(57)【要約】

【目的】 プラズマアドレス表示装置の放電空間構造を改良し機械的強度を高めて大型化を可能にする。

【構成】 プラズマアドレス表示装置は上側基板1、中間基板2及び下側基板3を順に積層した構造を有している。上側基板1と中間基板2の間に液晶セル4が形成される。又、中間基板2と下側基板3の間にプラズマセル5が形成される。プラズマセル5はストライプ状に分割された放電領域を線順次で活性化し液晶セル4のアドレッシングを行なう。この放電領域は、ストライプ状の溝6が形成された中間基板2の正面と下側基板3の対向する正面とを互いに重ね合わせて設けられたストライプ状の空間からなる。



【特許請求の範囲】

【請求項1】 上側基板と中間基板の間に形成された表示セルと、中間基板と下側基板の間に形成されたプラズマセルとの積層構造からなり、ストライプ状に分割された放電領域を線順次で活性化し表示セルのアドレッシングを行なうプラズマアドレス表示装置において、前記放電領域はストライプ状の溝が形成された中間基板の正面と下側基板の対向する正面とを互いに重ね合わせて設けられたストライプ状の空間からなる事を特徴とするプラズマアドレス表示装置。

【請求項2】 プラズマ電極が、該ストライプ状の各溝を互いに隔てる肉厚部に整合して中間基板の該正面に形成されている事を特徴とする請求項1記載のプラズマアドレス表示装置。

【請求項3】 プラズマ電極が、該下側基板の正面に沿ってストライプ状に形成されている事を特徴とする請求項1記載のプラズマアドレス表示装置。

【請求項4】 プラズマセル内に設けられた該ストライプ状の空間を横断する連通路が形成されている事を特徴とする請求項1記載のプラズマアドレス表示装置。

【請求項5】 プラズマ電極が、該ストライプ状の各溝を互いに仕切る隔壁の底面及び側面に形成されている事を特徴とする請求項1記載のプラズマアドレス表示装置。

【請求項6】 該隔壁側面に形成されたプラズマ電極の幅寸法が、溝の形成された中間基板の総厚に対し $1/4$ 以下である事を特徴とする請求項5記載のプラズマアドレス表示装置。

【請求項7】 前記プラズマ電極は、隔壁底面に形成された部分が比較的低抵抗の膜材料からなり、隔壁側面に形成された部分が比較的高抵抗の膜材料からなる事を特徴とする請求項5記載のプラズマアドレス表示装置。

【請求項8】 前記プラズマ電極は、交互にアノード及びカソードとして切り換わる事を特徴とする請求項5記載のプラズマアドレス表示装置。

【請求項9】 前記プラズマ電極は、一本おきにアノード及びカソードとなり、カソードは対応する隔壁を境として互いに隣接する溝に夫々属する様に分割されている事を特徴とする請求項5記載のプラズマアドレス表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶セル等の表示セルとプラズマセルの二層構造からなるプラズマアドレス表示装置に関する。より詳しくはプラズマセルの放電空間構造に関する。

【0002】

【従来の技術】 従来、液晶セルを用いたマトリクスタイプの表示装置を高解像度化及び高コントラスト化する為の手段としては、各画素毎に薄膜トランジスタ等のスイ

ッチング素子を設け、これを線順次で駆動する方式（所謂アクティブマトリクスアドレス方式）が一般に知られている。しかしながら、この場合薄膜トランジスタの様な半導体素子を基板上に多数設ける必要があり、特に大面積化した時に製造歩留りが悪くなるという短所がある。

【0003】 この短所を解決する手段として、ザク等は特開平1-217396号公報において、薄膜トランジスタ等からなるスイッチング素子に代えてプラズマスイッチを利用する方式を提案している。以下、プラズマ放電に基くスイッチを利用して液晶セルを駆動するプラズマアドレス表示装置の構成を簡単に説明する。図8に示す様に、この装置は液晶セル101とプラズマセル102と両者の間に介在する中間板103とからなる積層フラットパネル構造を有している。プラズマセル102は下側のガラス基板104を用いて形成されており、その表面に複数の溝105が設けられている。この溝105は例えば行列マトリクスの行方向に沿ってストライプ状に形成されている。各溝105は中間板103によつて密封されており個々に分離した放電空間106を構成している。この放電空間106にはイオン化可能なガスが封入されている。隣接する溝105を隔てる隔壁107は個々の放電空間106を区分けするとともに、各放電空間106のギャップスペーサとしての役割も果たしている。各溝105の底部には、互いに平行な一对のプラズマ電極108、109が設けられている。一对の電極はアノード及びカソードとして機能し放電空間106内のガスをイオン化してプラズマを発生する。プラズマにより満たされた放電空間は行走査単位となる。

【0004】 一方、液晶セル101は上側のガラス基板110を用いて構成されている。このガラス基板110は中間板103に所定の間隙を介して対向配置されており間隙内には液晶層111が充填されている。又、ガラス基板110の内表面には透明導電膜からなる信号電極112が形成されている。この信号電極112はストライプ状の放電空間106と直交しており列駆動単位となる。列駆動単位と行走査単位の交差部分にマトリクス状の画素が規定される。

【0005】 かかる構成を有する表示装置においては、プラズマ放電が行なわれる放電空間106を線順次で切換える走査するとともに、この走査に同期して液晶セル側の信号電極112にアナログ駆動電圧を印加する事により表示駆動が行なわれる。放電空間106内にプラズマが発生すると内部は略一様にアノード電位になり1行毎の画素選択が行なわれる。即ち、放電空間106はサンプリングスイッチとして機能する。プラズマサンプリングスイッチが導通した状態で各画素に駆動電圧が印加されるとサンプリングホールドが行なわれ画素の点灯もしくは消灯が制御できる。プラズマサンプリングスイッチが非導通状態になった後にもアナログ駆動電圧はそのま

40
45
50

【発明の詳細な説明】
【0001】
【産業上の利用分野】 本発明は液晶セル等の表示セルとプラズマセルの二層構造からなるプラズマアドレス表示装置に関する。より詳しくはプラズマセルの放電空間構造に関する。
【0002】
【従来の技術】 従来、液晶セルを用いたマトリクスタイプの表示装置を高解像度化及び高コントラスト化する為の手段としては、各画素毎に薄膜トランジスタ等のスイ

ま画素内に保持される。

【0006】上述した構造とは別に、スクリーン印刷技術を用いてプラズマ電極並びに隔壁を構成する従来例が、例えば特開平4-265931号公報に開示されており、製造が簡単でしかも大画面化及び高精細化に適したプラズマアドレス表示装置が得られる。図9に示す様に、この表示装置も液晶セル201とプラズマセル202とを中間板203を介して積層したフラットパネル構造を有する。液晶セル201は図8に示した液晶セル101と基本的に同一の構造を有する。一方プラズマセル202については、中間板203と下側の基板204との間にイオン化可能なガスが封入されており放電空間205を構成する。基板204の内側主面にはストライプ状のプラズマ電極206が形成されている。プラズマ電極はスクリーン印刷法等により平坦な基板上に形成できるので生産性や作業性が優れないとともに微細化が可能である。プラズマ電極206の上には隔壁207が形成されており放電空間205を分割し行走査単位を構成する。この隔壁207もスクリーン印刷等により形成でき、その頂部が中間板203の下側主面に当接している。ストライプ状のプラズマ電極206は交互にアノードA及びカソードKとして機能し、両者の間にプラズマ放電を発生させる。

【0007】

【発明が解決しようとする課題】ところで、上述の様にプラズマスイッチを利用した表示装置ではトランジスタスイッチを用いたものより大面积化が容易であると考えられるが、実用化に当たっては様々な課題がある。特に、何れの従来例においても液晶セルとプラズマセルを互いに隔てる中間板には様々な問題点が含まれる。中間板は、一般にガラス板等の誘電材料から構成されており、液晶層に対して十分な電界を加える為に、板厚をできるだけ薄くする必要があり、通常 $5.0 \mu\text{m}$ 程度に設定されている。一様な表示を得る為には、画面全体に渡って板厚を均一に制御する必要がある。しかしながら、画面が大型化するにつれて、精度良く中間板を加工する事が困難になる。又、ハンドリングミス等により容易に破損が生じるという欠点がある。さらに、極めて薄い中間板を下側の基板に対して平坦に接着する事が困難である。加えて、放電空間を形成した後内部にプラズマガスを封入するが、そのガス圧は通常数百Torr程度である。大気圧との差圧分だけ液晶セル側から圧力を受け、薄い中間板は放電空間側に凹変形し平面度が維持できなくなるという課題がある。

【0008】上述した構造上の問題点に加え、従来のプラズマセルは電気特性上及び光学特性上問題を含んでいる。例えば、プラズマ電極と液晶セル側の信号電極との間で容量結合が生じ、線順次走査による選択期間以外にもアナログ駆動電圧が液晶層に印加され所謂クロストークが発生するという問題がある。例えば図8に示した從

来例の場合、プラズマ放電を線順次で行なう為全てのアノードを接地電位(例えば0V)に固定し、各カソードを順次負電位に切り替えていた。しかし、この場合アナログ駆動電圧の書き込みを終了した画素は、放電空間106の浮遊容量及び共通接地されたアノードを介して他の行走査単位上に位置する画素と閉ループを形成してしまう。この為、ある画素に書き込まれた画像信号は、同一信号ライン上で他の走査ラインと交差する部分の画素に書き込まれたアナログ駆動電圧から影響を受けクロストークが発生してしまう。この為、個々の画素の透過率が所望のレベルから変動し表示品質が損なわれる。

【0009】又、プラズマ電極端に電界集中が起り易く、電極端部の凹凸により放電均一性が損なわれるという問題がある。例えば、図9に示した従来例ではストライプ状のプラズマ電極206がスクリーン印刷により形成されている。この為、プラズマ電極端部は必ずしもシャープではなくスクリーンメッシュの跡等が残る為凹凸がある。従って、互いに離間するアノードAとカソードKとの間の電極間距離にばらつきが生じ、接近した領域で過大な放電電流が流れてしまう。かかる放電均一性は表示品質を著しく低下させる。

【0010】さらに、放電空間内にプラズマ電極を形成すると外部入射光が部分的に遮光される為、表示装置として見た場合開口率が低下しコントラストが悪くなるという問題がある。例えば、図8に示す従来例では、ストライプ溝105の底部に一对のプラズマ電極108、109が設けられており、この分開口率の低下を招く。

【0011】

【課題を解決するための手段】上述した従来の技術の課題に鑑み、本発明は加工精度に優れ且つ安定した寸法精度を有するストライプ状の放電空間構造を提供する事を目的とする。併せて、クロストークの抑制、放電均一性の向上及び開口率の改善に効果的なプラズマ電極構造を提供する事を目的とする。かかる目的を達成する為に以下の手段を講じた。即ち、上側基板と中間基板の間に形成された表示セルと、中間基板と下側基板の間に形成されたプラズマセルとの積層構造からなり、ストライプ状に分割された放電領域を線順次で活性化し表示セルのアドレッシングを行なうプラズマアドレス表示装置において、前記放電領域はストライプ状の溝が形成された中間基板の主面と下側基板の対向する主面とを互いに重ね合わせて設けられたストライプ状の空間からなる事を特徴とする。かかる構造では、プラズマ電極は該ストライプ状の各溝を互いに隔てる肉厚部に整合して中間基板の主面に形成されている。あるいは、これに代えてプラズマ電極は該下側基板の主面に沿ってストライプ状に形成されているものであっても良い。

【0012】本発明の好ましい態様によれば、プラズマ電極は中間基板に形成されたストライプ状の各溝を互いに仕切る隔壁の底面及び側面に形成されている。隔壁側

面に形成されたプラズマ電極の幅寸法は、例えば溝の形成された中間基板の総厚に対し1/4以下に設定されている。このプラズマ電極は、隔壁底面に形成された部分が比較的低抵抗の膜材料からなり、隔壁側面に形成された部分が比較的高抵抗の膜材料からなる。かかる構成を有するプラズマ電極は交互にアノード及びカソードとして切り換わる。これに代えて、一本おきにアノード及びカソードとして固定しても良い。この場合カソードは対応する隔壁を境として互いに隣接する溝に夫々属する様に分割される。

【0013】

【作用】従来と異なり、本発明では放電空間を構成するストライプ状の溝が中間基板に形成されている。従って、中間基板は各溝の底部となる肉薄部と、隣接する各溝を隔てる隔壁となる肉厚部とが交互に配列した構造となっている。溝の深さをできるだけ大きく設定する事により、肉薄部の厚みを十分小さくする事ができ液晶層に対して大きな電界を印加できる。一方、下側の基板は所定の厚みを有する平板材料から構成され、溝の形成された中間基板の正面に対して貼り合わせる事により、個々に分離した放電空間を構築できる。中間基板及び下側基板はともに十分な板厚を有しており大型化した場合でも加工やハンドリングに困難は生じない。又、前述した様に肉薄部と肉厚部は互いに一体化した構造を有しており、優れた機械的強度を備えている為負圧が加わっても変形する惧れがない。又、プラズマ電極については、予め中間基板が下側基板の何れか一方に形成しておく事ができ、加工プロセスは容易である。例えば、中間基板側にプラズマ電極を設ける場合には、溝形成と同時にパタニングできる。逆に、下側基板に形成する場合には、その正面が平坦であるのでパタニングは容易である。

【0014】本発明の一態様によれば、プラズマ電極がストライプ状の各溝を互いに仕切る隔壁の底面及び側面に形成されている。特に、側面に形成されたプラズマ電極の部分は、従来と異なり基板平面に対して略直立している。従って、液晶セル側に形成された信号電極に対して対面しておらず垂直関係にある。この為、従来に比しプラズマ電極と信号電極間の容量結合が少なくなりクロストークを有效地に抑制できる。又、互いに対向する隔壁側部に形成されたプラズマ電極の間でプラズマ放電が発生する為、電極端部における電界集中が起りにくい構造となっており放電均一性を改善できる。さらに、プラズマ電極は隔壁の底面を除き側面に沿って略直立しているので外部入射光を遮光する領域が少なくなり開口率を改善できる。

【0015】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は、本発明にかかるプラズマアドレス表示装置の第一実施例を示す模式的な部分断面図である。本装置は、何れもガラス板等の透明材料からなる

上側基板1、中間基板2、下側基板3を順に重ねた積層構造を有している。上側基板1と中間基板2の間には表示セル例えば液晶セル4が形成される。又、中間基板2と下側基板3との間にはプラズマセル5が設けられる。

【0016】中間基板2の裏側主面には行方向(図示では紙面に対して垂直方向)に沿ってストライプ状に配列された複数の溝6が形成されている。各溝6の底部(図示では天井部)に残された肉薄部7は例えば50μm程度の厚み寸法を有しており、十分薄型化されている。一方隣接する溝6を互いに隔てる隔壁となる肉厚部8はハンドリングを容易にし且つ実用的な機械的強度を保証する為に十分な厚み寸法を有している。本実施例では、この肉厚部8に沿ってプラズマ電極が一体的に形成されている。このプラズマ電極は交互に切り換えられアノードA、カソードKとして機能する。一对のアノードAとカソードKは溝6を介してその側端部が互いに対向している。対面する一对の側端部が平行電極を構成し、両者の間にプラズマが発生する。この為、プラズマ電極は所望の膜厚を有する事が好ましい。ストライプ状に溝6及び20 プラズマ電極が形成された中間基板2の裏側主面に対して、下側基板3の平坦な対向主面が密着され、各溝6を封止して各々放電空間(プラズマチャネル)を構成する。即ち、中間基板2と下側基板3は周辺部全面に沿ってフリットシール9等により互いに接合される。この様にして封止された溝6にはイオン化可能なガスが封入されている。ガス種は例えばヘリウム、ネオン、アルゴンあるいはこれらの混合気体から選ぶ事ができる。

【0017】一方、液晶セル4は中間基板2と上側基板1とを所定の間隙を介してシール材10等により互いに30 貼り合わせ、両者の間隙内に液晶層11を封入充填して構成される。上側基板1の内表面には列方向に沿ってストライプ状にパタニングされた信号電極Dが形成されている。この信号電極Dは列駆動単位を構成し、前述した溝6内に設けられた放電空間は行走査単位を構成する。両単位の間に液晶層11を含む画素が規定される。液晶層11はともに平坦な中間基板2の表側主面と上側基板1の内表面に接しており、層厚は画面全体に渡って均一に制御可能である。液晶セル4及びプラズマセル5の外側には夫々偏光板12、13が貼着されている。

【0018】次に、図2を参照して図1に示した第一実施例の製造方法を説明する。特に、本発明の要部をなすプラズマセルの加工方法を詳細に説明する。(A)は中間基板2のストライプパターン形状を示す平面図である。中間基板2の中央画面領域にはストライプ状にパタニングされた溝6が形成されている。隣接する溝6の間にはプラズマ電極が形成されており、交互にアノードAとカソードKになる。各プラズマ電極の端部は画面領域から周辺に向って延設されており、外部接続に用いられる。この様なパターンは、例えばパウダービーム加工あるいは50 サンドブラスト加工により形成できる。即ち、先ず中間

基板2の主面に所定の厚みで電極膜を成膜する。次にフォトレジストをコーティングリストライプ状にパタニングする。露出した部分にパウダーピームを照射し電極膜及び中間基板2のガラス材料を機械的にエッティングしプラズマ電極及び溝6を同時に形成する。なお、各プラズマ電極の取り出し部については、予め別加工によりパタニングしておく。本実施例では、パウダーピームを用いてエッティング加工を行なっているがこれに限られるものではない。例えば、所定の溶液を用いて化学的なエッティング処理を施しても良い。

【0019】一方(B)は下側基板3の平面図である。基板3の周辺に沿って画面領域を囲む様にフリットシール9が印刷されている。又、画面領域には、1本の溝14が形成されている。この溝14は中間基板2に形成されたストライプ状の溝6と直交する様に設けられている。かかる構成を有する下側基板3を中間基板2に対して貼り合わせ加熱及び加圧処理を施して両者を気密封止する。この際、ストライプ状の溝6は下側基板3に予め形成されていた1本の溝14により互いに連通する事となる。即ち、下側基板3に形成された1本の溝14は、ストライプ状の放電空間を横断する連通路を構成する。両基板の周囲に沿って気密性を保つ様にフリットシール9で接着した後、この連通路を介して所定のプラズマガスを各放電空間に導入する。ガス封入の終わった段階で排気口(図示せず)を封止する。

【0020】図3は本発明にかかるプラズマセルの耐圧構造を示す模式図である。(A)に示す様に、本発明では溝6の底部を形成する肉薄部7と、隣接する溝6を互いに隔てる隔壁となる肉厚部8は互いに一体的に連結されており、機械的強度が優れている。溝6の負圧により外部から大きな圧力が加わっても肉薄部7は容易に変形せず、平坦度を保つ事ができる。

【0021】一方、(B)は比較の為先に図8に示した従来のプラズマセル構造を再掲してある。下側基板104の主面にストライプ状の溝105が形成されており、その上を薄い中間板103が被覆している。この中間板103は周辺部に沿って下側基板104と接着されているのみであり、画面領域では互いに分離している。従って、大きな負圧が加わると、薄い中間板103は凹変形し、隔壁107の頂部から離間する部分が生じる。この様に、従来構造では中間板103の平坦度を維持する事ができず、均一な画像品質が得られない。

【0022】図4は本発明にかかるプラズマアドレス表示装置の第二実施例を示す模式的な部分断面図である。基本的に、図1に示した実施例と同一の構造を有しており、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、アノードAやカソードKを構成するプラズマ電極が、下側基板3の主面上に形成されている事である。即ち、中間基板2の裏側主面にはストライプ状の溝6のみが形成されておりプラズマ電極

と分離している。この為、図1に示した第一実施例と異なり、プラズマ電極の幅寸法を、溝の隔壁を構成する肉厚部8の幅寸法よりも大きく設定でき、プラズマ電極の露出面積を大きくする事が可能になり、効率的なプラズマ放電を実現できる。但し、中間基板2と下側基板3とを貼り合わせてフリットシールする際、両者の位置合わせを精度良く行なう必要がある。

【0023】図5は図4に示した中間基板2及び下側基板3のストライプバタンを示す平面図である。(A)に示す様に、中間基板2の中央画面領域には所定のピッチで溝6が形成されている。この溝6は、前述した様にサンドプラスチック法により精度良く加工できる。先ず、レジストを塗布した後フォトリソグラフィー技術により溝となる部分のみを露出させ、その他の部分をマスクする。続いて、研磨粒子を基板2に噴射し、露出部を所定の深さだけ削り取る。

【0024】一方(B)は下側基板3の表面に形成されたプラズマ電極のストライプバタンを示す。このプラズマ電極は例えばスクリーン印刷技術を用いて厚膜導電材料を印刷焼成する事により形成される。この後、プラズマ電極の取り出し部を除いてフリットシール9により画面領域を囲む。この様にして用意された下側基板3及び中間基板2を重ね合わせ加圧加熱してプラズマセルを作成する。この際、プラズマ電極のストライプバタンと溝6のストライプバタンが互いに精度良く整合する様に位置合わせする事が重要である。

【0025】図6を参照してプラズマアドレス表示装置の動作を簡潔に説明する。図6は表示装置に用いられる駆動回路の一例を示している。この駆動回路は信号回路21と走査回路22と制御回路23とから構成されている。信号回路21には信号電極D1ないしDmがバッファを介して接続されている。一方、走査回路22には同じくバッファを介してカソードK1ないしKnが接続されている。アノードA1ないしAnは共通に接地されている。カソードは走査回路22により線順次走査されるとともに、信号回路21はこれに同期して各信号電極にアナログ駆動電圧を供給する。制御回路23は信号回路21と走査回路22の同期制御を行なうものである。各カソードに沿って放電領域が形成され走査単位となる。一方、各信号電極は列駆動単位となる。両単位の間に画素24が規定される。

【0026】図7は図6に示す2個の画素24を切り取って模式的に示したものである。各画素24は信号電極D1、D2及び中間基板2によって挟持された液晶層11からなるサンプリングキャバシタと、プラズマサンプリングスイッチS1との直列接続からなる。プラズマサンプリングスイッチS1は放電空間(プラズマチャネル)の機能を等価的に表わしたものである。即ち、プラズマチャネルが活性化するとその内部は略全体的にアノード電位に接続される。一方、プラズマ放電が終了する

とプラズマチャネルは浮遊電位となる。サンプリングスイッチS1を介して個々の画素24のサンプリングキャバシタにアナログ駆動電圧を書き込み所謂サンプリングホールドを行なうのである。アナログ駆動電圧のレベルによって各画素24の階調的な点灯あるいは消灯が制御できる。

【0027】以上に説明した第一実施例及び第二実施例は、主としてプラズマセルに形成されたストライプ状溝の剛性構造に焦点を当てて説明を行なったものである。次に、クロストークの抑制、放電均一性の改善及び開口率の改善を主とした目的とする電極構造について実施例を挙げ説明を加える。図10は、本発明にかかるプラズマアドレス液晶表示装置の第三実施例を示す模式的な部分断面図である。中間基板51の上側には所定の間隙を介して一方の基板52が接合されており、両基板間には液晶層53が封入されている。又基板52の内表面には列方向に沿ってストライプ状の信号電極54が形成されている。中間基板51の下側主面には行方向に沿ってストライプ状の溝55が形成されている。個々の溝55を気密封止する様に、他方の基板56が接合している。プラズマ電極57は、ストライプ状の各溝55を互いに仕切る隔壁58の底面59及び側面60に連続して形成されている。密封された溝55の内部にはイオン化可能なガスが封入され、プラズマチャネル61を構成する。この構造では、プラズマ電極57は交互にアノードA及びカソードKとして機能する。この場合、一本のカソードKは隣接する2ライン分のプラズマチャネル61によって共用されている。従って、実際に1ライン毎にプラズマチャネルの線順次走査を行なう場合には、カソードK及びアノードA両者を電気的に切り換える事により対応する。

【0028】図10に示したプラズマセルを作成する手順としては、先ずガラス等からなる中間基板51に溝55を形成する。溝の形成は例えば化学的エッティングにより可能である。エッチャントには弗酸、硼弗化水素酸が使われる。溝形成後、電極材料をスパッタリング法や真空蒸着法で膜付けした後、フォトリソグラフィ及びエッティングでパタニングし、隔壁58の底面59及び側面60のみにプラズマ電極57を形成する。次に、下側の基板56と中間基板51の周囲を気密性を保つ様にフリットガラス等でシールする。その後、溝55をイオン化可能なガスで置換し、排気口(図示せず)を封止する。

【0029】本実施例の第一の特徴事項として、プラズマ電極57は隔壁58の側面60に沿って形成されている。従って、プラズマ電極57は基板平面に対して略直立しており、プラズマチャネル61の有効開口寸法を極めて大きくとれる。これに対して、比較の為図11に従来のプラズマセルの断面形状を示す。なお、比較にする為図10に示した構造と対応する部分には対応する参照番号を付してある。この従来例ではプラズマチャ

ネル61を構成する溝55が下側基板56の主面に形成されている。又、一对のプラズマ電極57が、溝55の底部62に沿って形成されている。従って、図10に示した第三実施例に比較し、各プラズマチャネル61の有効開口寸法は小さくなっている。即ち、プラズマ電極57により被覆されているプラズマチャネル61の領域は外部入射光が遮光されるので、有効開口とはなり得ない。

【0030】再び図10に戻って本実施例の第二の特徴事項を説明する。図示する様に、隔壁58の側面に形成されたプラズマ電極57の露出部分は基板平面に対して略直立しており、液晶セル側の信号電極54とは略垂直になる。従って、従来構造に比べプラズマ電極57と信号電極54との間の結合容量が少なく、クロストークを効果的に抑制できる。この点を明らかにする為、図12に結合容量分布の計算機シミュレーション結果を示す。なお、このシミュレーションでは液晶層の部分を省略している。図12のグラフにおいて、横軸にプラズマチャネル中央からの幅方向位置(μm)をとり、縦軸に結合容量をとっている。このシミュレーションに当ってストライプ状プラズマチャネルの配列ピッチは $500\mu m$ に設定している。従って、個々のプラズマチャネルの幅寸法は約 $400\mu m$ 程度である。図12のグラフにおいて、破線で示すカーブAは第三実施例に関する測定結果を表わしており、点線で示すカーブBは図8に示した従来例のシミュレーション結果を表わしており、実線で示すカーブCは同じく図9に示した従来例のシミュレーション結果を表わしている。本実施例によれば、何れの従来例に比較しても、プラズマチャネルの幅方向中央部分において結合容量が低減化されており、クロストークを効果的に抑制できる。

【0031】図13の(A)に示すグラフは、プラズマ電極高さと結合容量との関係を示す。ここで、プラズマ電極高さHは、(B)に示す様に隔壁の側面に形成されたプラズマ電極の幅寸法を表わしている。なお、(A)のグラフにプロットする時、このプラズマ電極高さHを中間基板の総厚hで規格化してある。(B)に示す様に、総厚hは溝の深さとガラス等の誘電体の厚さを足し合わせたものである。又、(A)のグラフでは、プラズマチャネルの配列ピッチpを中間基板の総厚hで規格化した値をパラメータとしてとっている。グラフから明らかな様に、プラズマ電極高さHが中間基板の総厚hの1/4以下では結合容量が小さいが、これを超えると急激に増大する事がわかる。この傾向は中間基板の総厚hに対しプラズマチャネルの配列ピッチpが実用範囲で変化した場合でも同様である。但し、ピッチpが大きい程結合容量は小さくできる。

【0032】再び図10に戻って本実施例の第三の特徴事項を説明する。各隔壁58の側面に形成されたプラズマ電極57の部分は、カソードKとアノードAとの間で

互いに対面している。図8あるいは図9に示した従来の同一平面上にアノード及びカソードが配置されている場合に比べ、プラズマ電極端に電界が集中する事がなく、放電均一性を向上できる。この点を明らかにする為、図14に、計算機シミュレーションによるプラズマチャネル内の電界分布を等電位曲線として表わした。但し、この電界分布は放電プラズマが発生する以前の状態を表わしたものである。図11から明らかな様に、互いに対面するカソードKとアノードAとの間で等電位曲線は略平行であり、放電を不均一にする電界集中は生じない。これに対して、図15は図8に示した従来例におけるプラズマチャネル内の電界分布を表わしている。図から明らかな様に、アノードA、カソードKの電極端部において等電位線は密に分布しており、極端な電界集中が発生している事がわかる。同じく図16は、図9に示した従来例におけるプラズマチャネル内の電界分布を表わしている。同様に、アノードA、カソードKの電極端部において等電位線が密に分布しており、極端に電界集中が起っている。

【0033】図17に、前述した第三実施例の変形を示す。(C)に表わす様に、この変形例では、プラズマ電極57は隔壁58の底面59に形成された部分が比較的低抵抗の膜材料63から構成されており、隔壁58の側面60に形成された部分が比較的高抵抗の膜材料64からなる。これは次の理由による。即ち、放電電流を導くプラズマ電極は、抵抗値ができる限り低い事が望ましい。放電電流による電圧降下でプラズマチャネル長手方向で電位勾配が起るが、これを低減する為である。この理由で、底面59に成膜される電極材料としてはアルミニウム等比較的低抵抗の膜材料が適している。しかし、実際の放電に関与する側面60においては、逆に高抵抗の電極材料が適している。即ち、放電が局所的に発生した時には、その部分の電圧降下は大きい方が、放電が抑制され全体に均一なプラズマ放電が得られるからである。従って、側面60に形成されるプラズマ電極の膜材料としてはタンクステン等が適している。かかる電極構造の作成方法としては、例えば以下の方法が挙げられる。即ち、図17の(A)に示す様に、溝形成後、先ずスパッタリング法により基板51表面に均等に高抵抗膜64を膜付けする。次に、(B)に示す様に低抵抗膜63を真空蒸着法で膜付けする。この順序は逆であっても構わない。蒸着の際、蒸着源と基板の距離を離して、基板に対しできるだけ垂直に蒸着される様にする。蒸着法の場合には、陰になる部分が蒸着されないので選択的に隔壁底面のみに低抵抗膜63を膜付けできる。その後、フォトリソグラフィ及びエッチングでパタニングする事により、(C)に示したプラズマ電極構造が得られる。

【0034】図18は、図10に示した第三実施例のさらに別の変形を示す模式図である。(A)は断面形状を示し、(B)は平面形状を示す。図10に示した実施例

と対応する部分については対応する参照番号を付して理解を容易にしている。本変形例では、プラズマ電極57は一本おきにアノードA及びカソードKとして固定されている。カソードKの方は、対応する隔壁58を境として互いに隣接するプラズマチャネル61, 61に夫々属する様に分割されている事を特徴とする。(B)に示す様に、かかる構造では1ライン分のプラズマチャネル61に対して、一本のカソードが配設される事になる。従って、アノードA1, A2, A3, A4を所定の電位に固定し、カソードK1, K2, K3, K4, K5, K6を順次選択する事により、プラズマチャネルを1ライン毎に線順次走査できる。

【0035】

【発明の効果】以上説明した様に、本発明によれば、液晶セルとプラズマセルを仕切る中間基板にストライプ状の溝を形成して放電空間を設けている。この為、各溝の底部を構成する肉薄部と、隣接する溝を互いに隔てる隔壁となる肉厚部とが一体化されており、構造的に安定であり負圧が加わっても平面度を維持する事ができるという効果がある。又、中間基板は肉薄部と肉厚部が交互に配列した構造となっており、少なくとも一次元方向に亘し所定の剛性を有している。この為、画面の大型化を図ってもハンドリングが容易であるという効果がある。さらに、従来の薄い中間板を用いた構造と異なり、本発明では所定の厚みを有する中間基板を利用しサンドプラス等によりストライプ状の溝を形成している為、大型化した場合にも十分な寸法精度及び平坦度を確保する事ができるという効果がある。

【0036】又、本発明によれば、中間基板に設けられたストライプ状溝を互いに仕切る隔壁の底面及び側面に、プラズマ電極を連続して形成しても良い。この構造では、従来と異なり隔壁側面に形成されたプラズマ電極の部分が基板平面に対して略直立しており、アノード及びカソードは互いに対向関係にある。又、プラズマ電極と液晶セル側の信号電極は互いに略垂直関係にある。従って、プラズマ電極と信号電極との間の結合容量を低減できクロストークを抑制するという効果が得られる。又、隔壁側面に沿ってプラズマ電極が配設されているので開口率を大きく設定できるという効果がある。さらに、プラズマ電極端に電界が集中する事がなく、放電均一性を向上する事が可能になるという効果がある。

【図面の簡単な説明】

【図1】本発明にかかるプラズマアドレス表示装置の第一実施例を示す模式的な部分断面図である。

【図2】図1に示す装置に用いられる基板の構成を示す模式的な平面図である。

【図3】本発明にかかる装置の構造的な特徴を示す説明図である。

【図4】本発明にかかるプラズマアドレス表示装置の第二実施例を示す模式的な部分断面図である。

13

【図 5】図 4 に示す装置に用いられる基板の構成を示す模式的な平面図である。

【図 6】プラズマアドレス表示装置の動作を説明する為の回路図である。

【図 7】プラズマアドレス表示装置の画素部分を切り取って示した模式図である。

【図 8】従来のプラズマアドレス表示装置の一例を示す斜視図である。

【図 9】従来のプラズマアドレス表示装置の他の例を示す断面図である。

【図 10】本発明にかかるプラズマアドレス表示装置の第三実施例を示す模式的な部分断面図である。

【図 11】従来のプラズマアドレス表示装置を示す部分断面図である。

【図 12】プラズマ電極と信号電極との間の結合容量分布を示すグラフである。

【図 13】プラズマ電極高さと結合容量との関係を示すグラフである。

【図 14】第三実施例にかかるプラズマセル内の電界分布を示すダイヤグラムである。

【図 15】図 8 に示した従来例にかかるプラズマセル内の電界分布を示すダイヤグラムである。

【図 16】図 9 に示した従来例にかかるプラズマセル内の電界分布を示すダイヤグラムである。

【図 17】第三実施例にかかるプラズマセルの一変形例を示す工程図である。

【図 18】第三実施例にかかるプラズマセルの他の変形

例を示す模式図である。

【符号の説明】

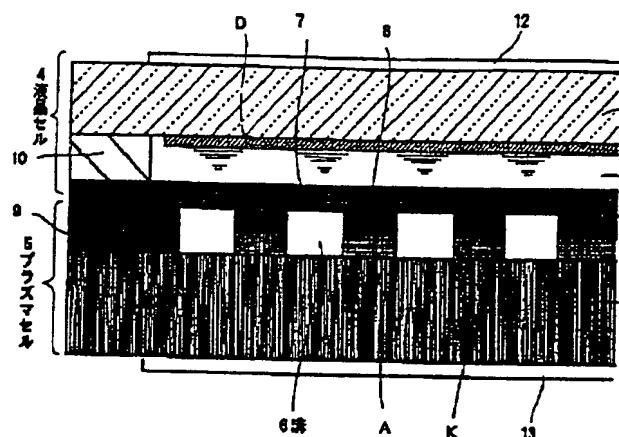
1	上側基板
2	中間基板
3	下側基板
4	液晶セル
5	プラズマセル
6	溝
7	肉薄部
8	肉厚部
9	フリットシール
10	シール材
11	液晶層
51	中間基板
52	上側基板
53	液晶層
54	信号電極
55	溝
56	下側基板
20	57 プラズマ電極
58	隔壁
59	底面
60	側面
61	プラズマチャネル

A アノード (プラズマ電極)

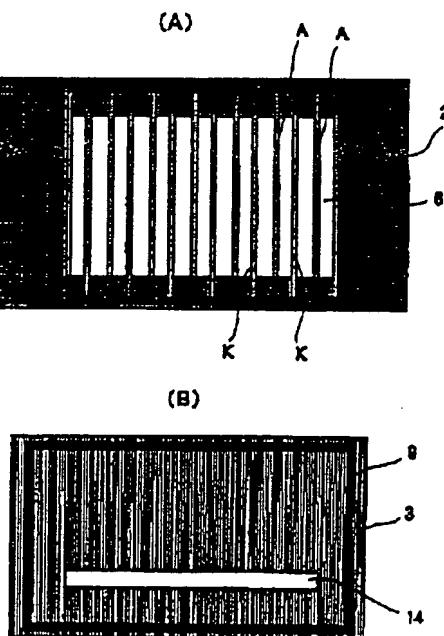
K カソード (プラズマ電極)

D 信号電極

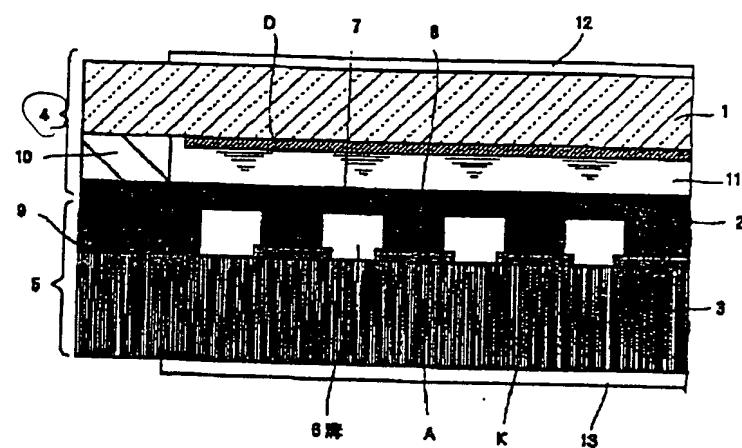
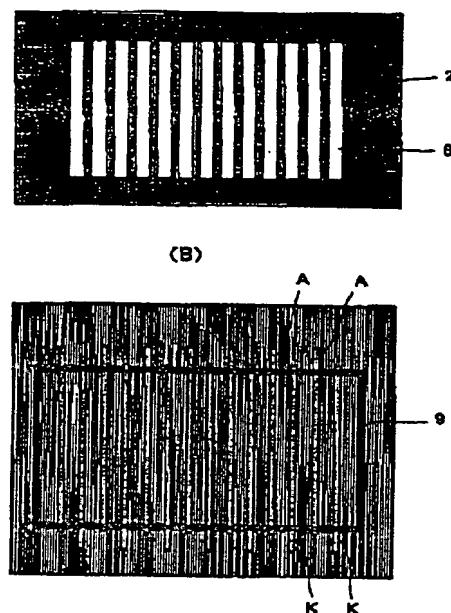
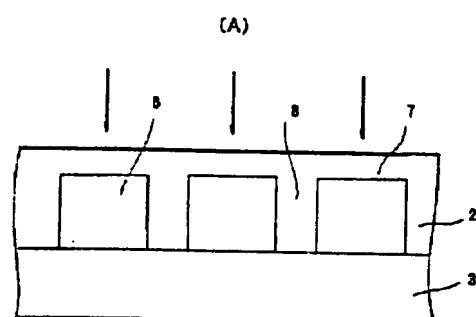
【図 1】



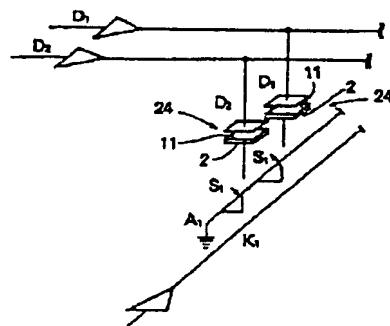
【図 2】



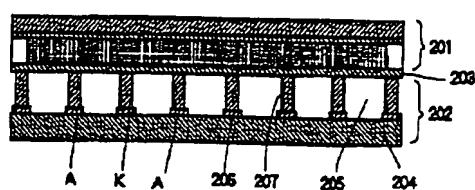
【図3】



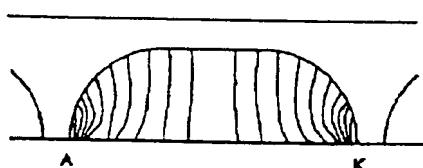
【図7】



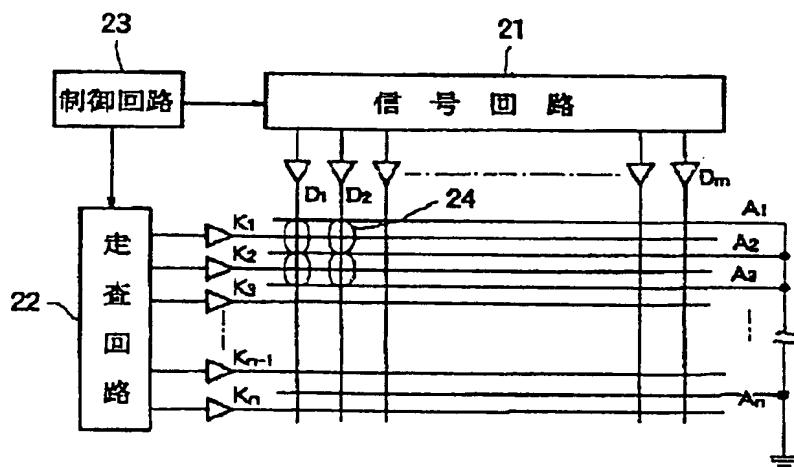
【図9】



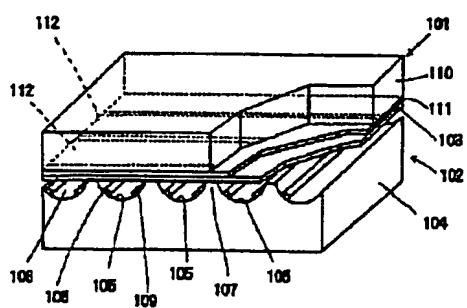
【図14】



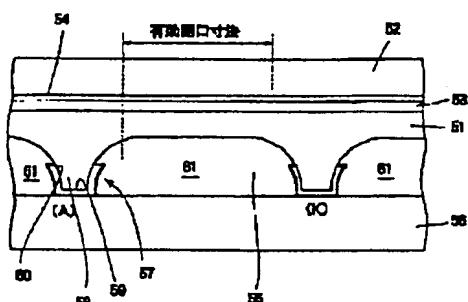
【図6】



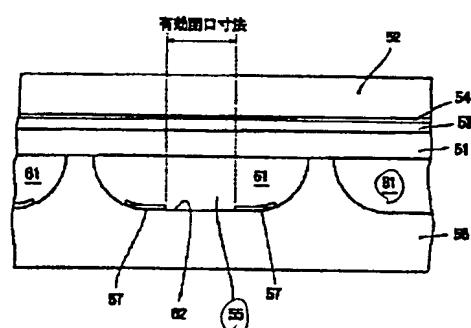
【図8】



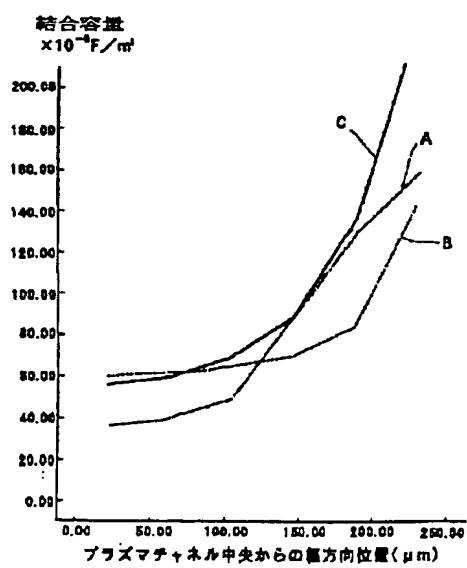
【図10】



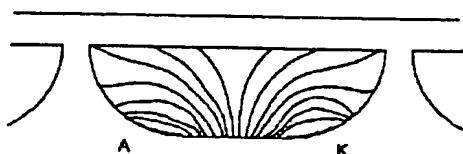
【図11】



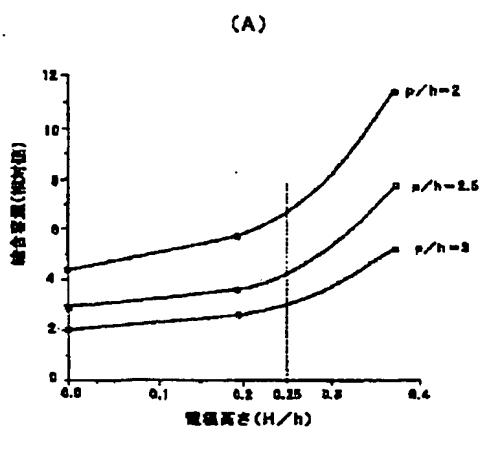
【図12】



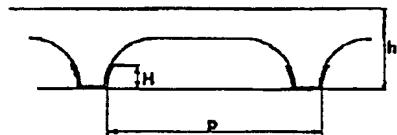
【図15】



【図13】

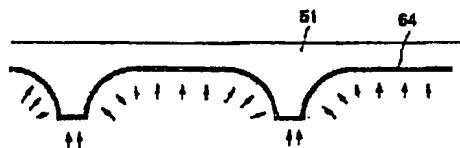


(B)



【図17】

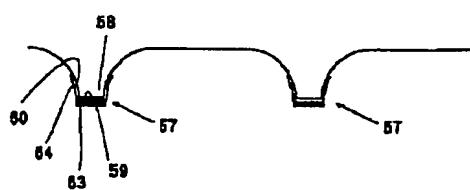
(A)



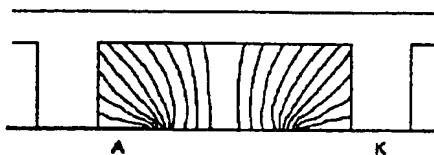
(B)



(C)



【図16】



【図18】

